

입자 검출기에서의 FPGA

김재박 (jaebak@korea.ac.kr)

고려대학교

목차

- FPGA란?
- 트리거와 데이터 수집(DAQ)
- FPGA의 최근 동향
- 결론



고려대에서 트리거
연구에 사용했던
Belle II 트리거 보드
UT3 (Virtex-6 FPGA)

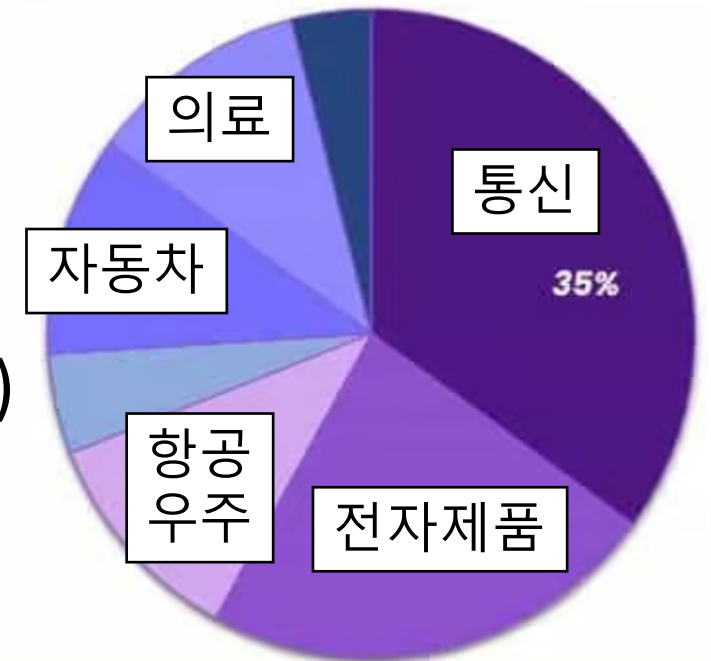
FPGA란?

- Field Programmable Gate Array
 - 현장 프로그래밍 논리 게이트 배열
 - 논리 게이트 회로가 변경 가능한 반도체



- 다양한 분야에 사용

국제 FPGA
시장 (2023년)

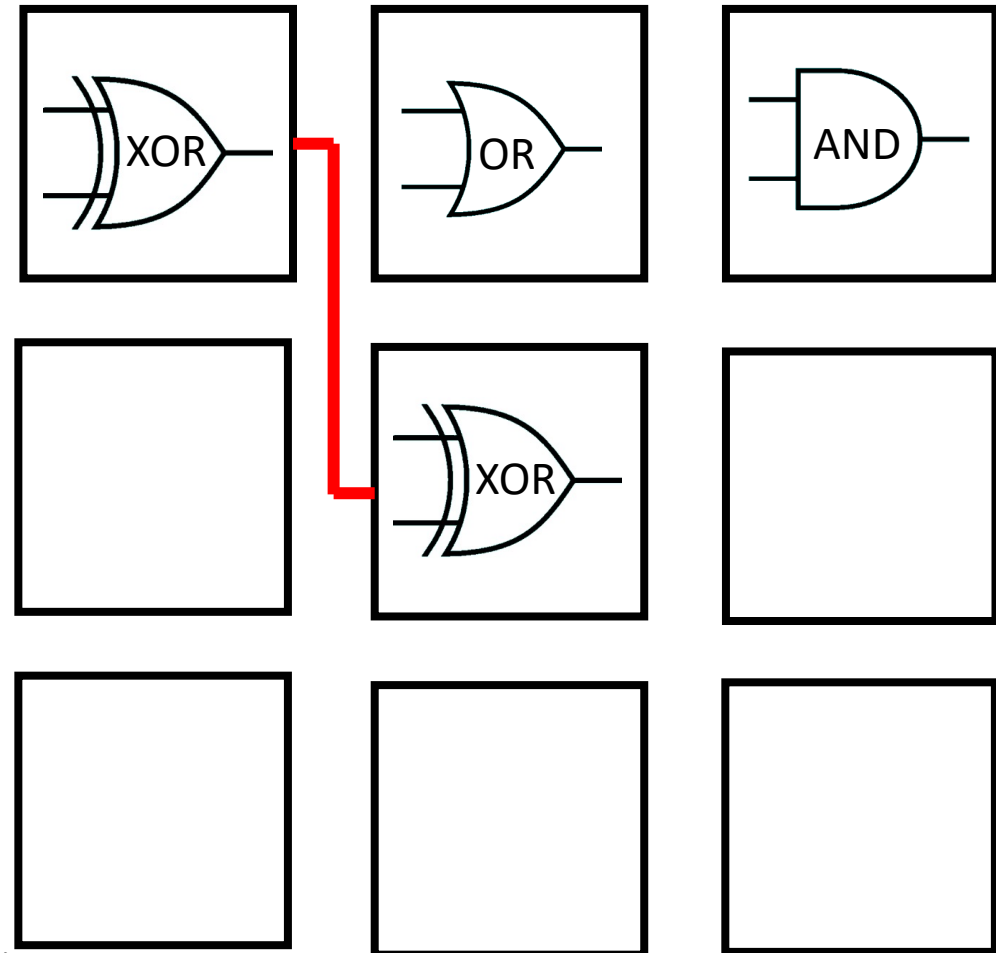


FPGA의 구조

- FPGA에는 **내용물이 변경** 가능한 기억

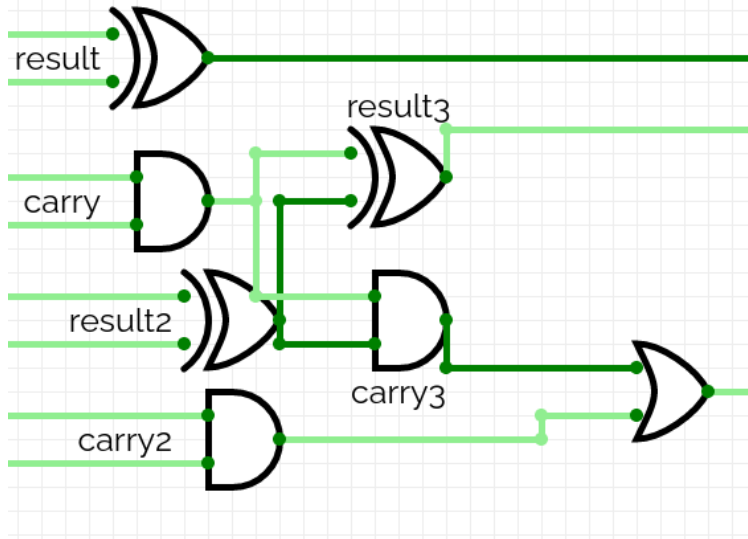
장치들이 많다.

- 장치들 간의 **연결**은 **변경** 가능한 스위치가
있다.

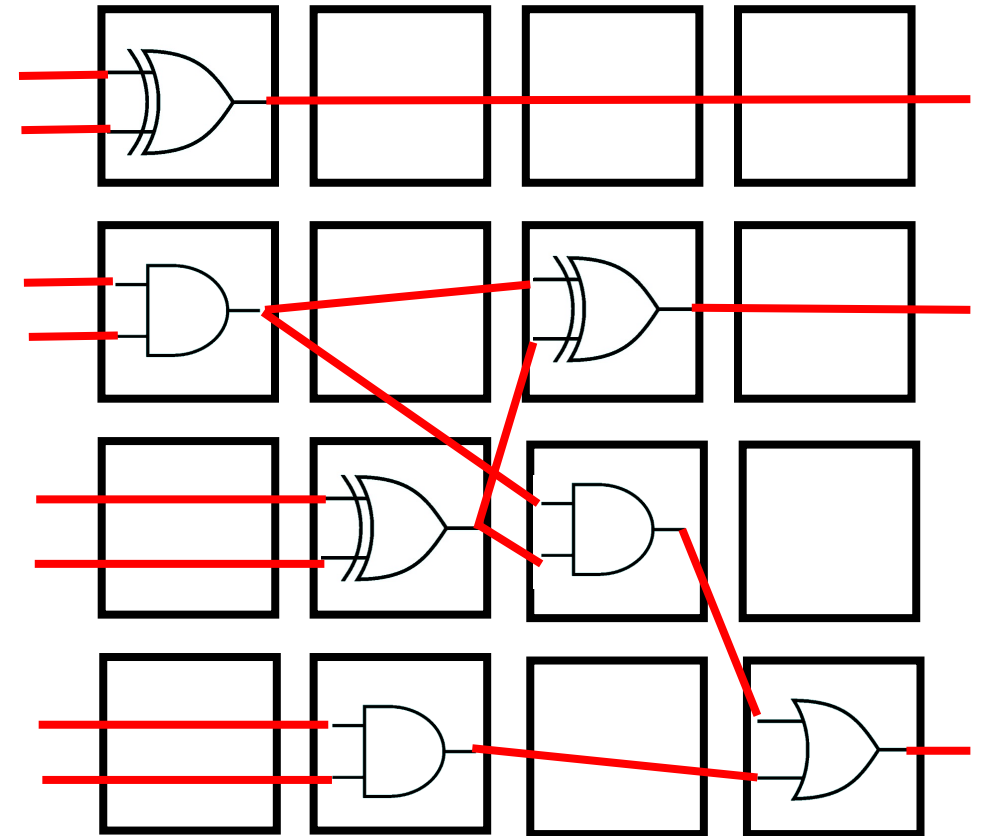
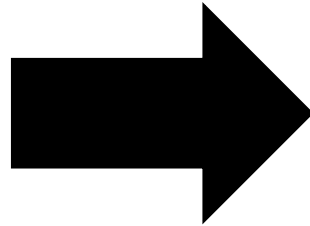


알고리즘을 FPGA에 구현 (1)

2진수 더하기 회로 설계



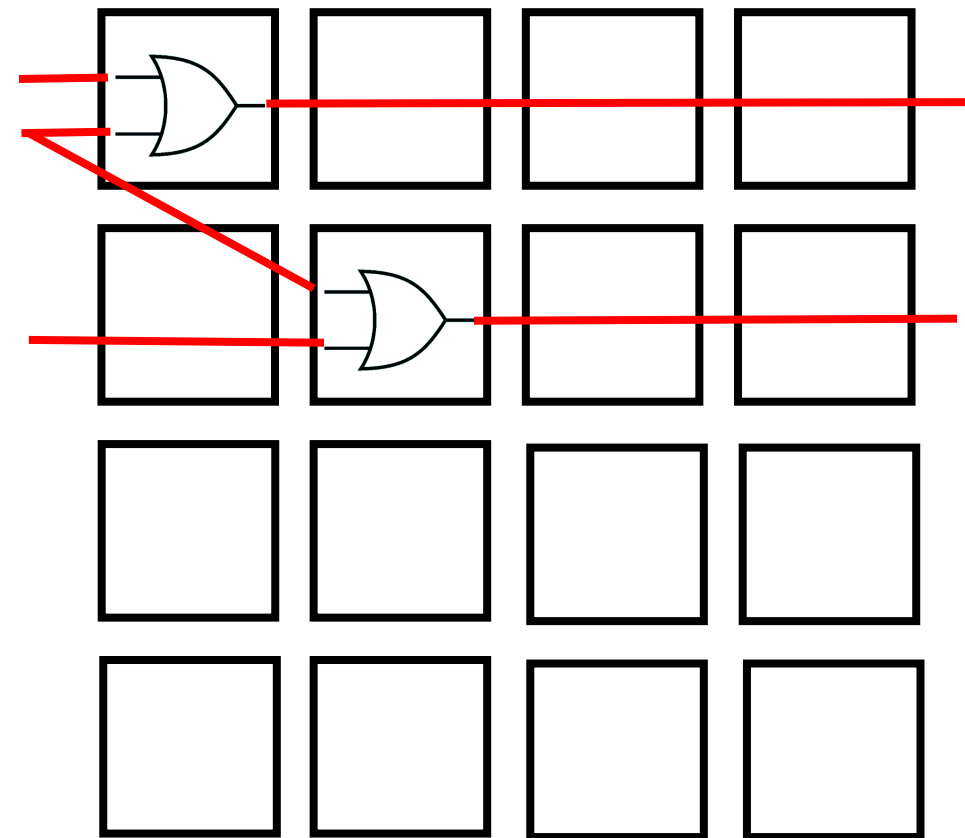
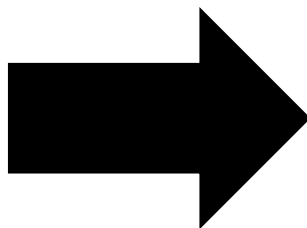
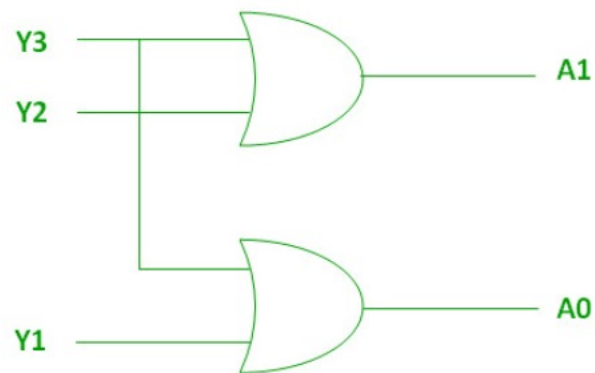
구현



- 임의 회로 설계를 FPGA에 구현 가능

알고리즘을 FPGA에 구현 (2)

Encoder 회로 설계



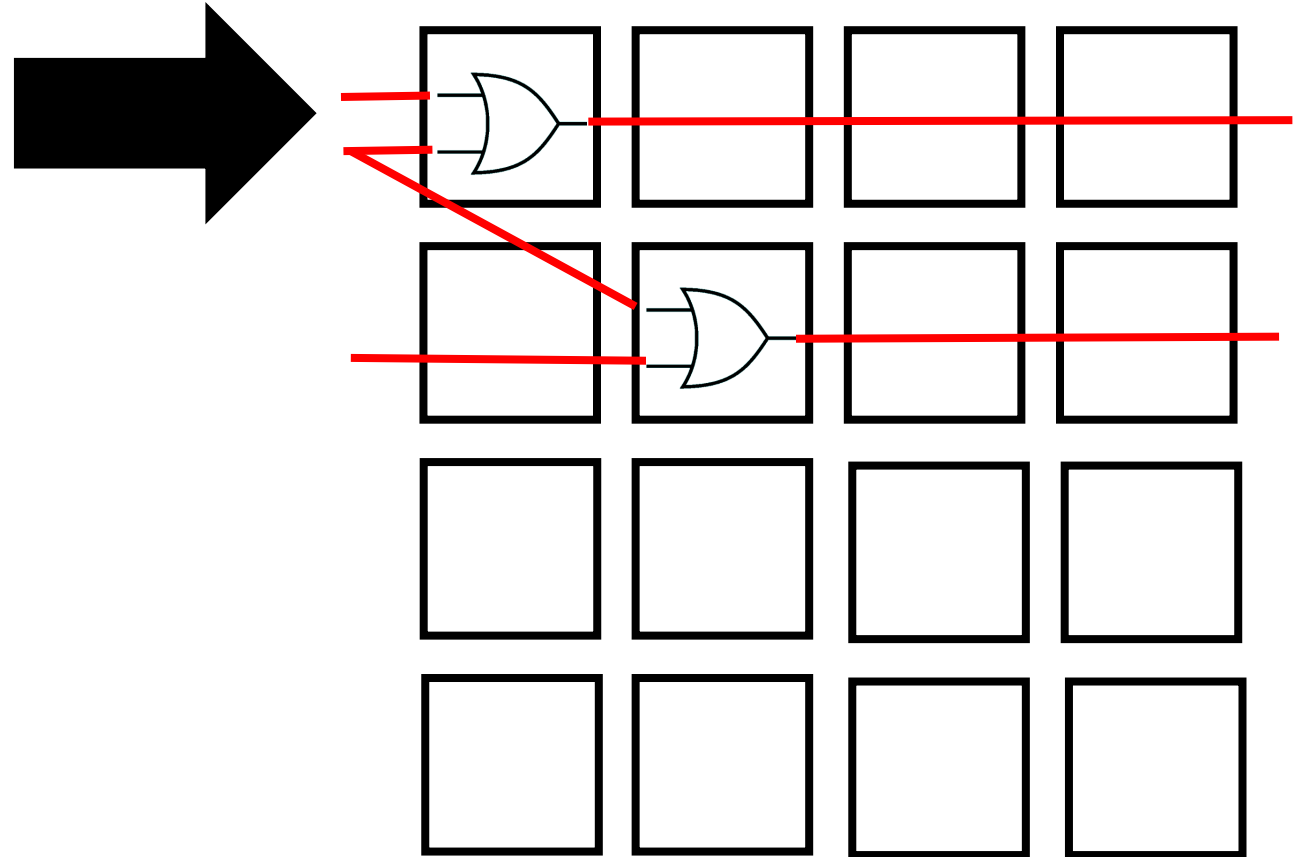
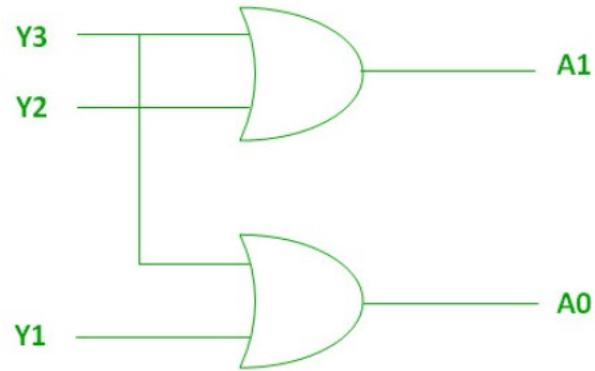
- 임의 회로 설계를 같은 FPGA에 구현 가능

➤ 내용물과 연결을 규정하는 Firmware을

다르게 개발해야 한다.

변경 가능한 하드웨어

Encoder 회로 설계



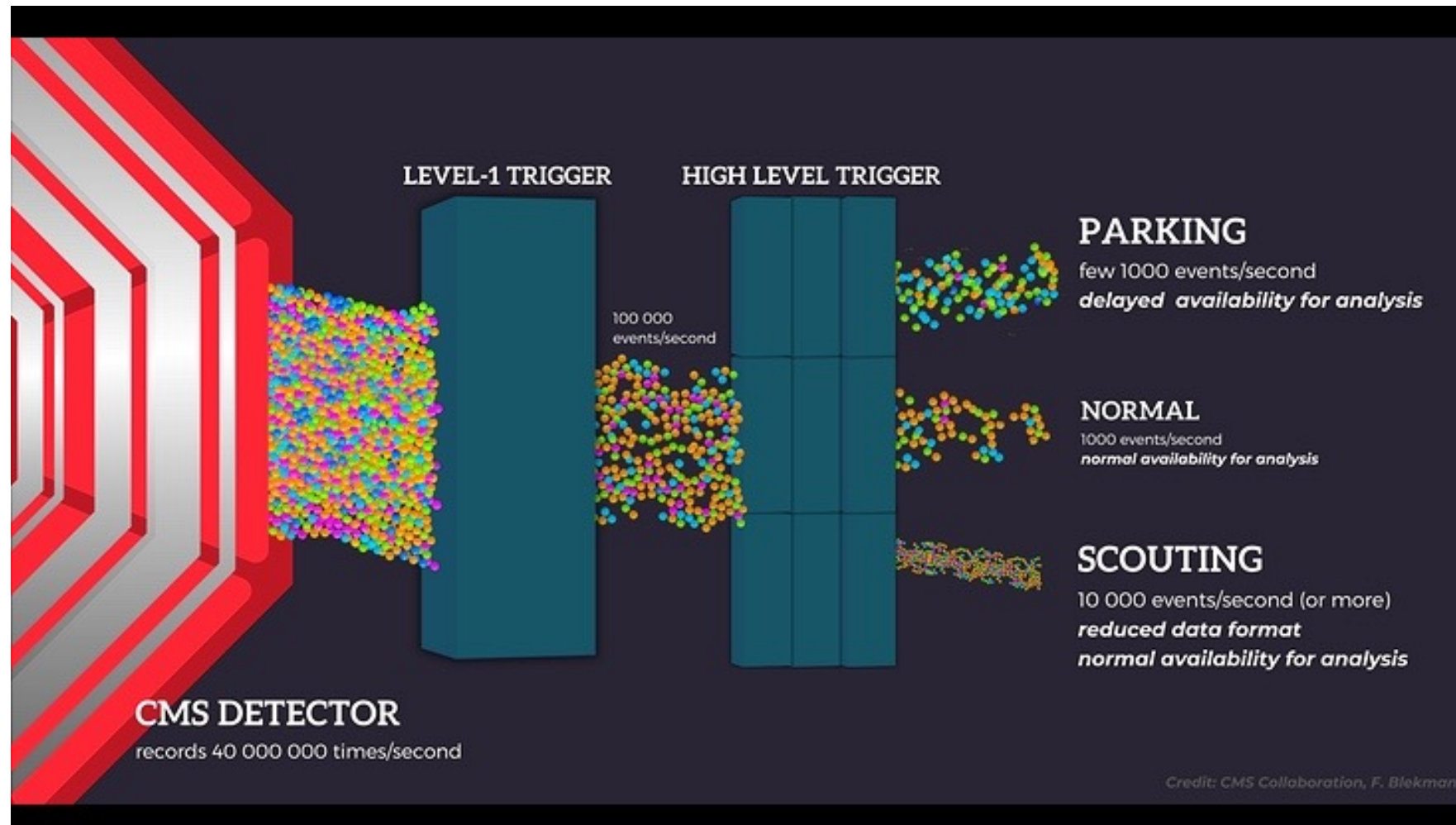
- 회로 변경 가능한 반도체

- R&D에 용이

- 병렬 계산 가능, 고속 전용 연산

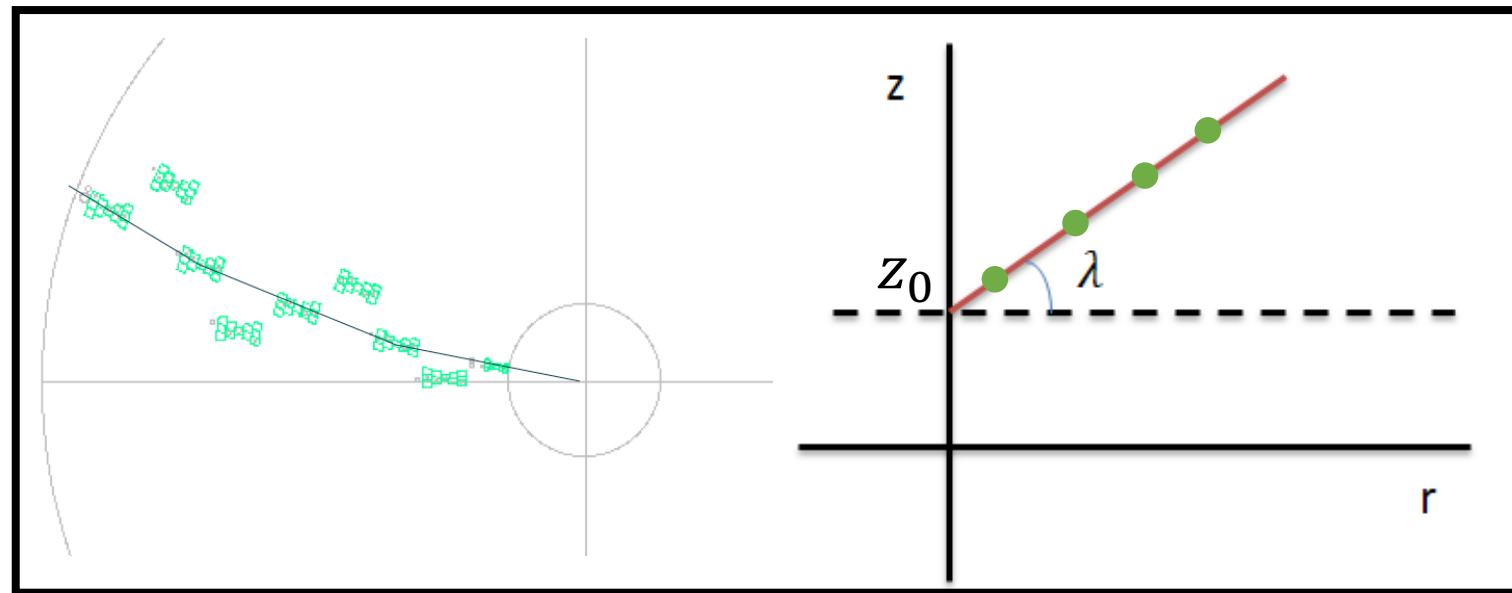
트리거에서의 사용

- 병렬성과 고속 연산을 활용해 트리거에 널리 사용
- 중요한 데이터 선별



Belle II 트리거 연구 사례

- 검출기 신호로부터 입자의
운동량, 위치를 계산하는
펌웨어 개발



Three-dimensional Fast Tracker for the Central Drift Chamber Based Level-1 Trigger System in the Belle II Experiment

E. WON and J. B. KIM*

Department of Physics, Korea University, Seoul 02841, Korea

B. R. Ko

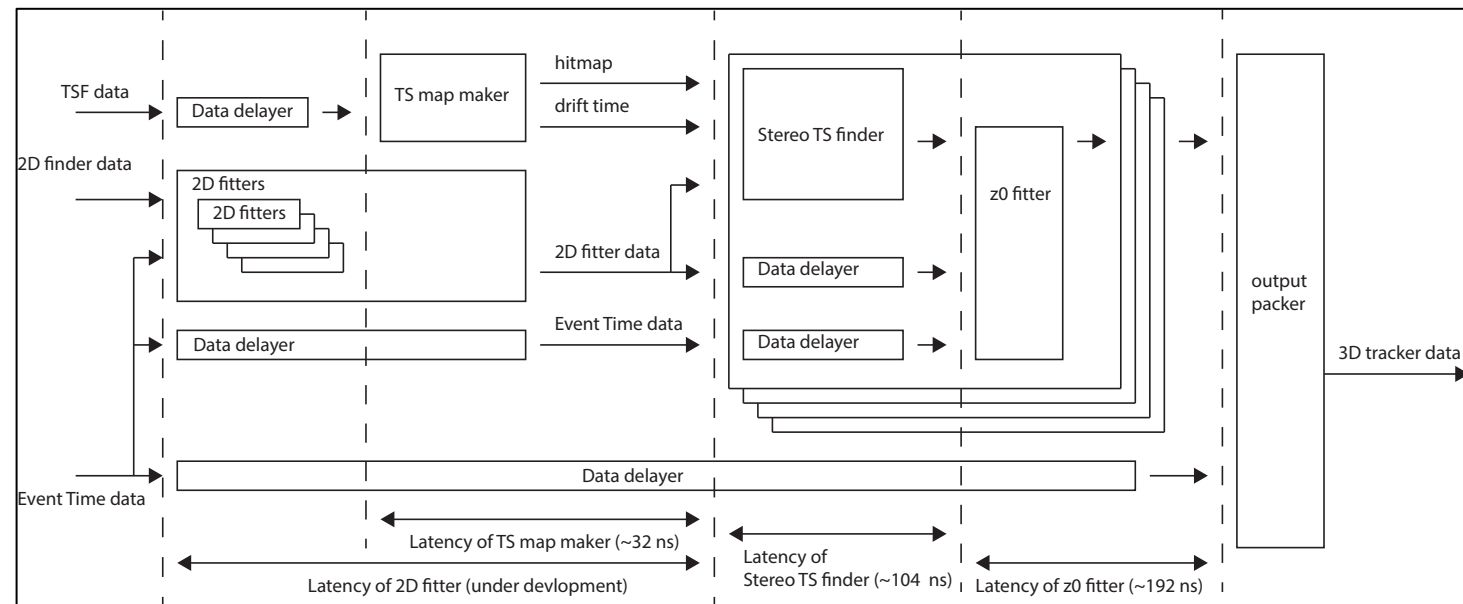
*Center for Axion and Precision Physics Research,
Institute of Basic Science, Daejeon 34051, Korea*

(Received 7 November 2017, in final form 15 November 2017)

The Belle II detector at the SuperKEKB accelerator has a level-1 trigger implemented in field-programmable gate arrays. Due to the high luminosity of the beam, a trigger that effectively rejects beam-induced background is required. A three-dimensional tracking algorithm for the level-1 trigger that uses the Belle II central drift chamber detector response is being developed to reduce the recorded beam background while having a high efficiency for physics of interest. In this paper, we describe the three-dimensional track trigger that finds and fits track parameters that we developed.

PACS numbers: 29.85.Ca, 29.40.Cs

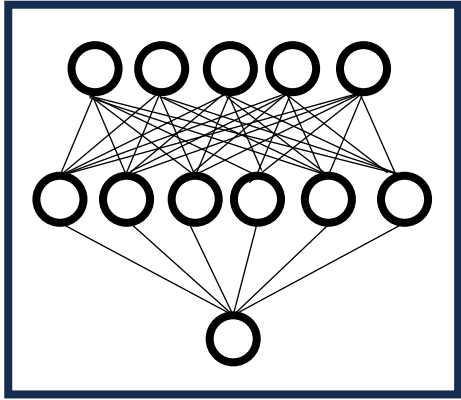
Keywords: Level-1 trigger, FPGA, Three-dimensional tracking algorithm, Drift chamber
DOI: 10.3938/jkps.72.0



트리거용 FPGA 기반 인공지능 구현 연구 사례

- 인공지능 모델을 FPGA에 심을 수 있다.

인공지능 논리



FPGA



- 예전부터 인공지능을 트리거에 구현하는 연구가 있었다.

2007년도 논문



Available online at www.sciencedirect.com

ScienceDirect

Nuclear Instruments and Methods in Physics Research A 581 (2007) 816–820

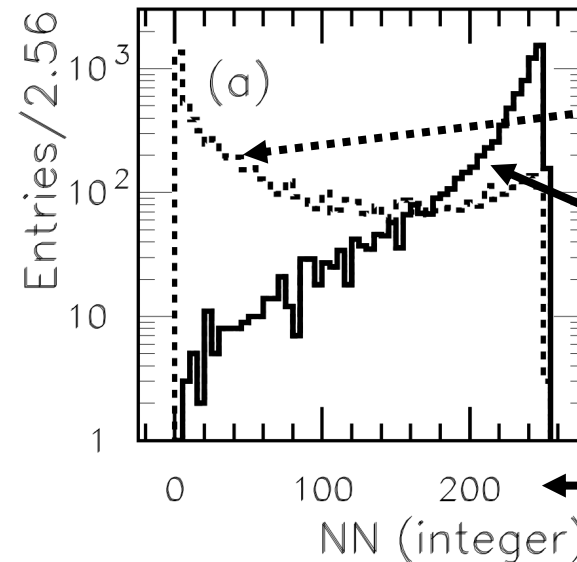
NUCLEAR
INSTRUMENTS
& METHODS
IN PHYSICS
RESEARCH
Section A

www.elsevier.com/locate/nima

A hardware implementation of artificial neural networks using
field programmable gate arrays

E. Won*

Department of Physics, Korea University, Seoul 136-713, Republic of Korea



필요 없는 정보

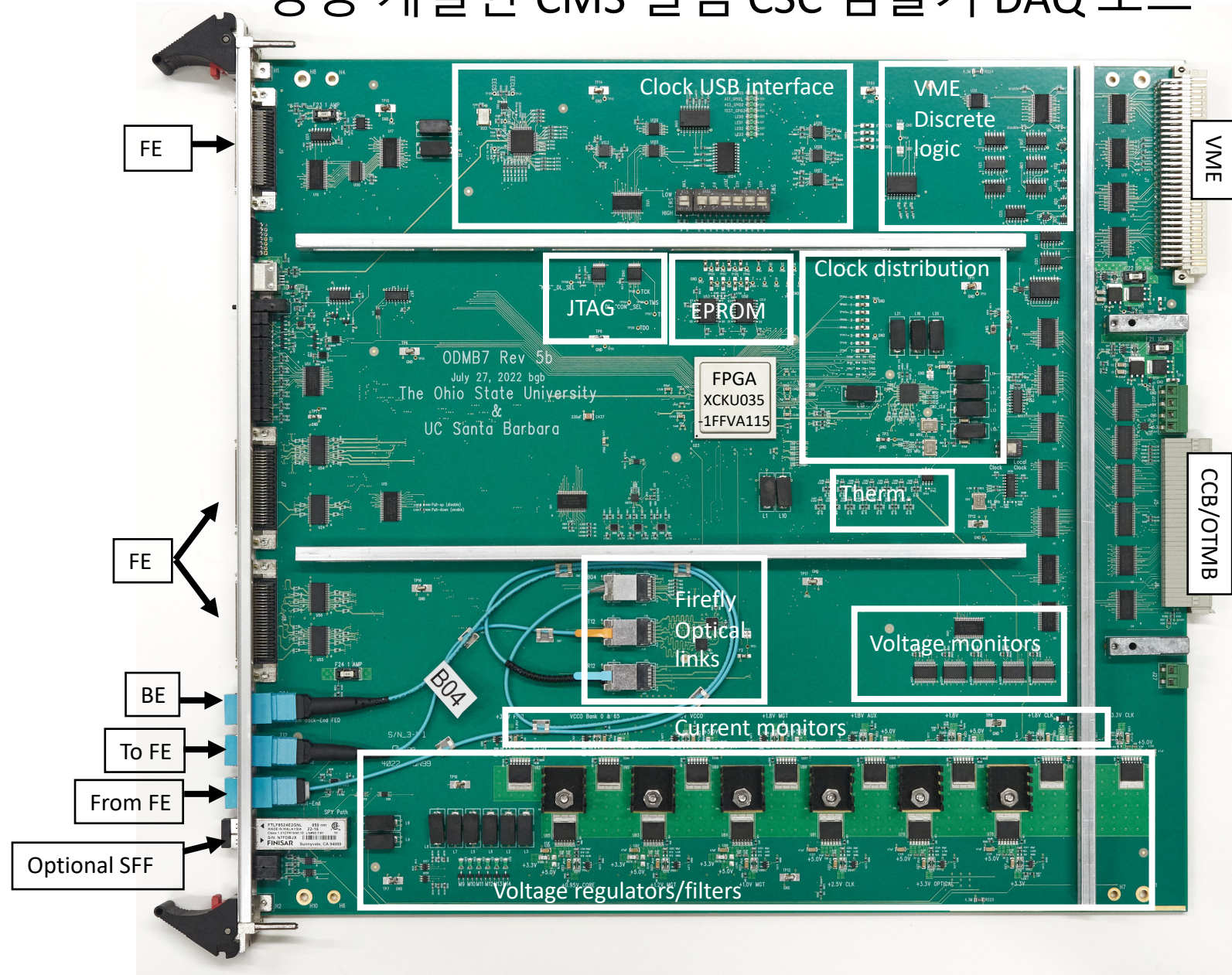
중요한 정보

인공지능 판단 값

DAQ에서의 사용

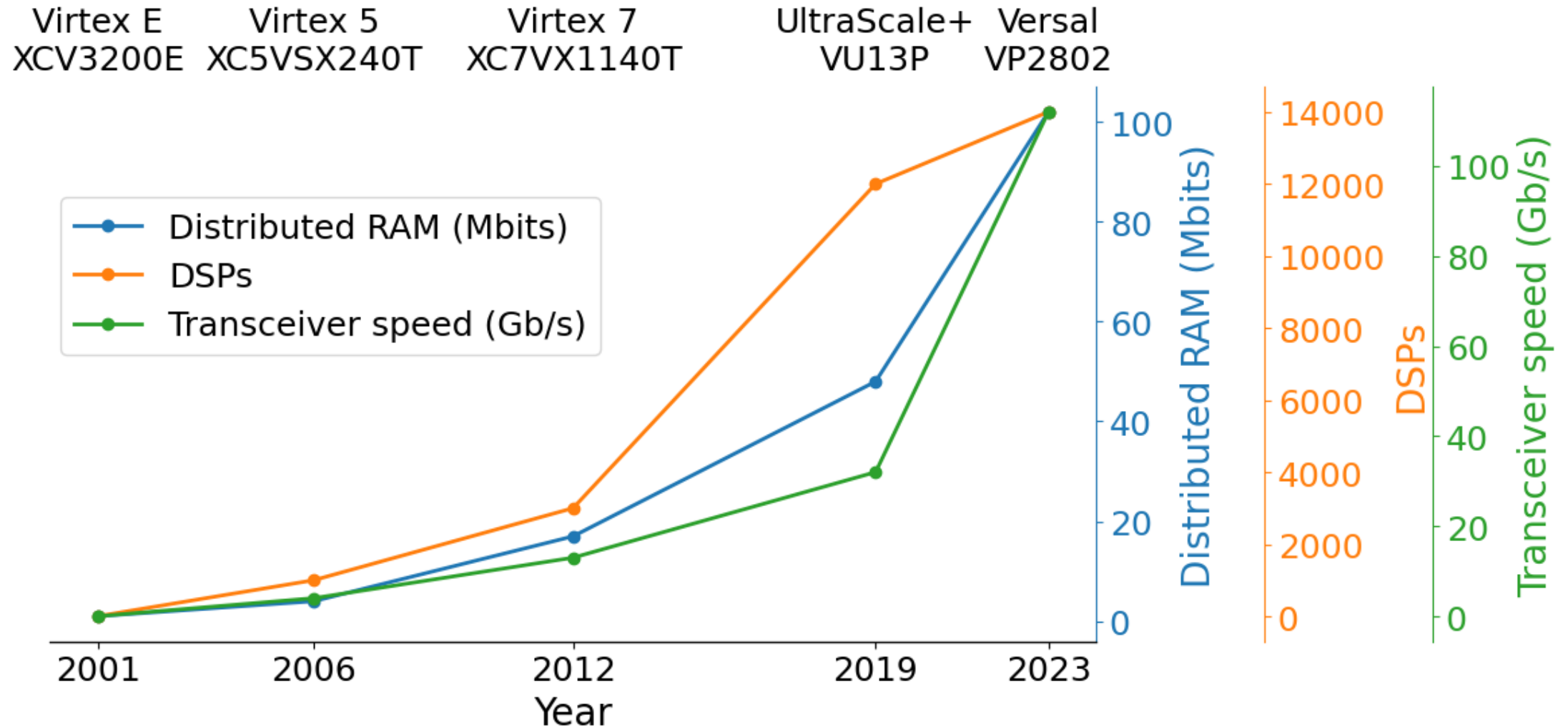
- 병렬성과 고속 연산을
활용해 대규모 데이터를
전송하는 데이터 수집
(DAQ)에 널리 사용
- 예) CMS 실험 CSC검출기
DAQ 보드는 400 Gb/s
데이터 전송이 가능하다.

공동 개발한 CMS 실험 CSC 검출기 DAQ 보드



FPGA의 최근 동향

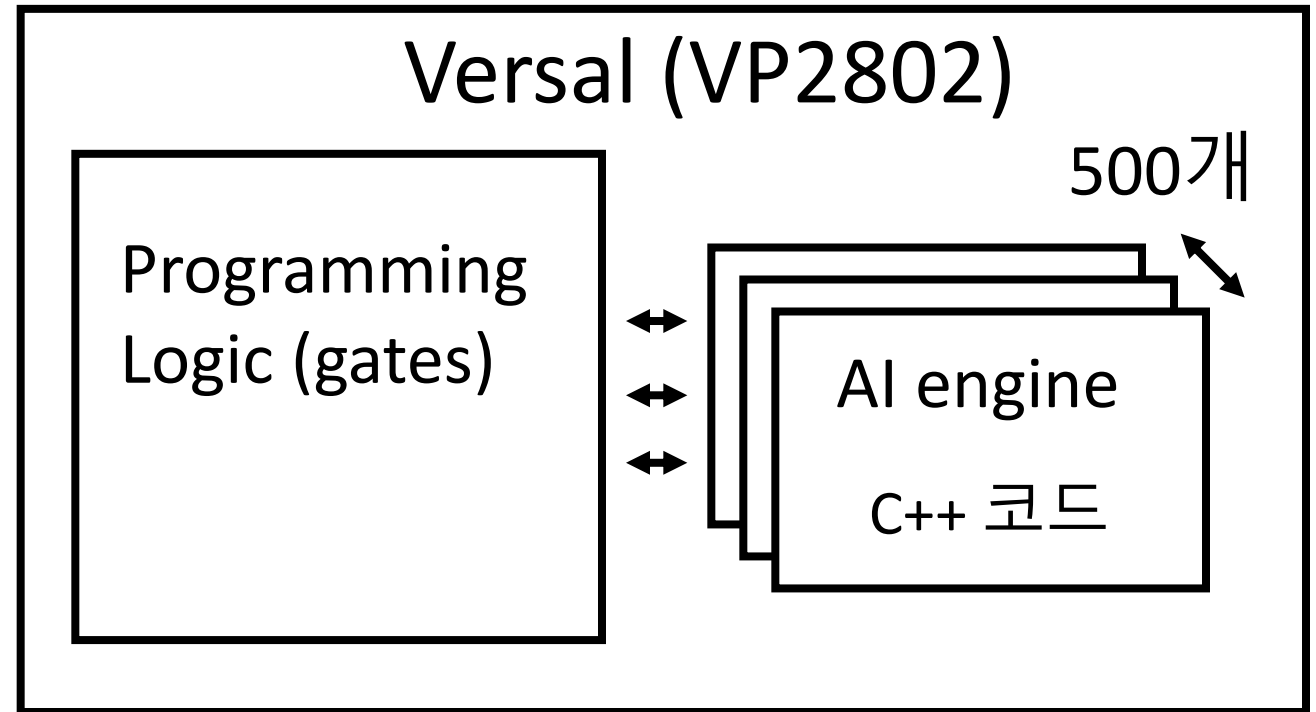
커지고 빨라지는 FPGA 내부 하드웨어 자원



- 2006년 대비 자원/속도가 **10배 이상 향상** → 더 많은 것이 가능

AI engine (NPU: Neural processing unit)

- 최근 Versal FPGA에는 **AI engine(NPU)**이 추가
- AI engine은 **C++ 코드**를 1GHz 속도로 실행
- 국제적으로 **다양한 활용 연구**가 활발히 진행



AI engine BDT 연구 사례

- AIE(Engine) 기반 Belle II tau 트리
적용 가능성 연구
- sklearn BDT (90 tree)을 AIE에 구현
- 성능 최적화와 다양한 구조 구현을
위한 연구가 진행

Development of Boosted Decision Trees (BDT) algorithm
on Versal AI engine

Yongheon Ahn¹

Yun-Tsung Lai²

Jaebak Kim¹

JunHyeok Song¹

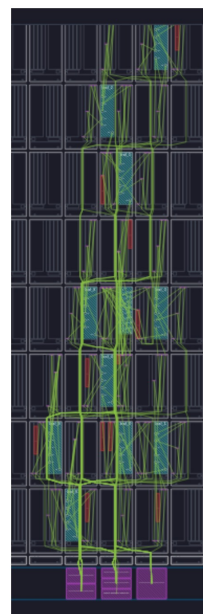
Eunil Won¹

¹Korea University

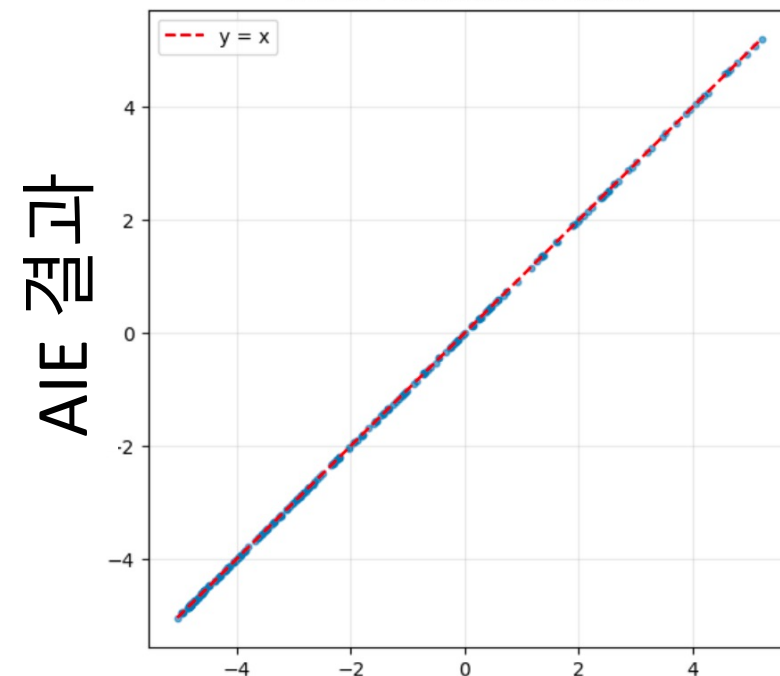
²KEK IPNS

CEF workshop: Versal and AI in FEE

Dec 1, 2025



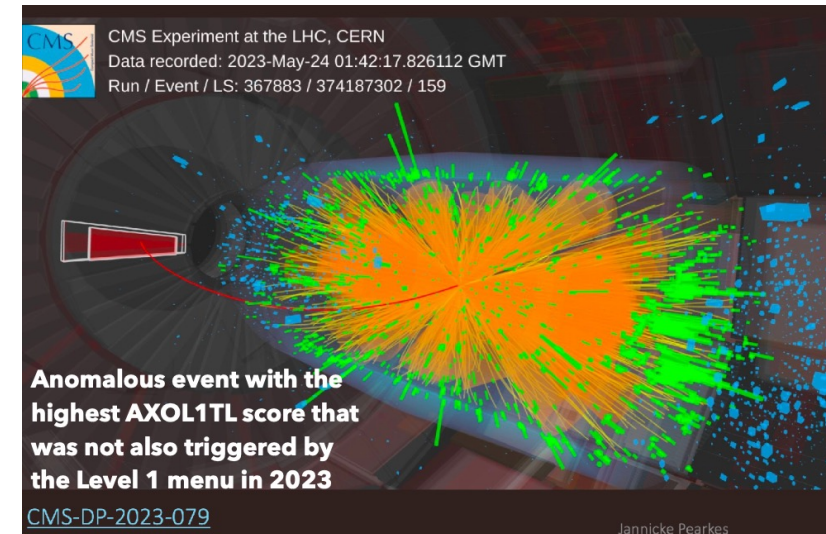
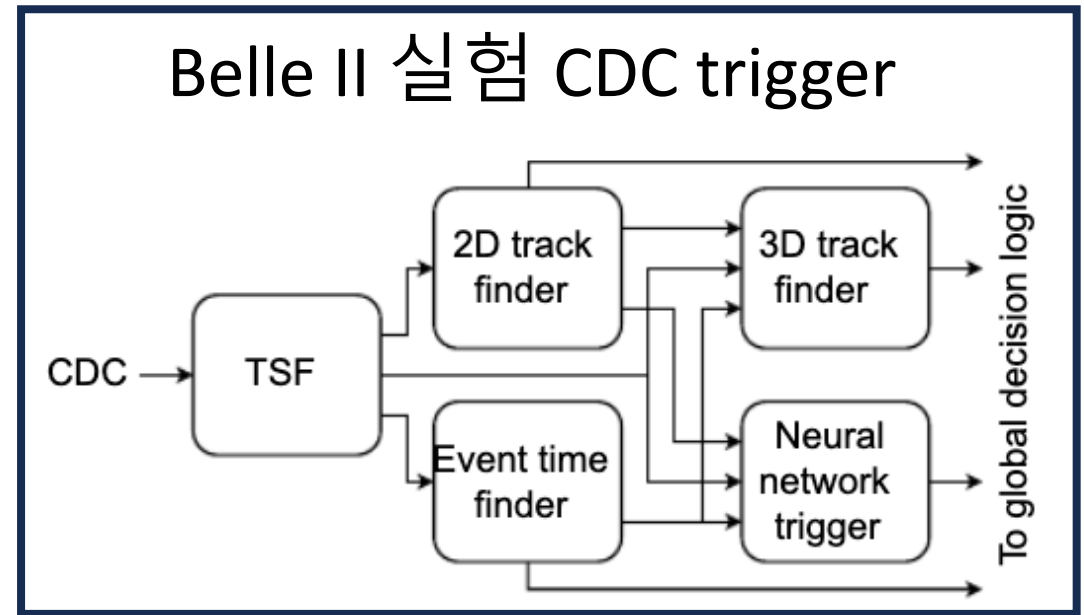
AIE tiles



sklearn BDT

증가하는 FPGA 기계학습/인공지능 구현 사례

- 실제 실험에서 **FPGA 인공지능** 트리거를 도입하는 사례가 증가
- Belle II는 2018년부터 **인공지능 트랙 트리거**를 사용. CMS는 2023년 뮤온 검출기 인공지능 트리거 사용.
- CMS는 2024년에 이상감지 (anomaly detection) 인공지능 트리거를 사용



FPGA에 기계학습/인공지능 구현의 어려움

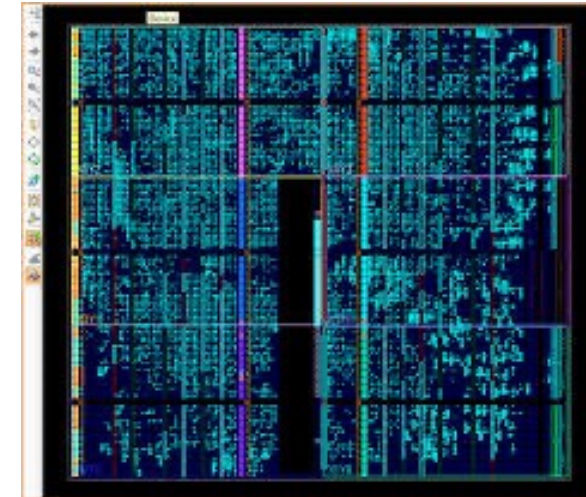
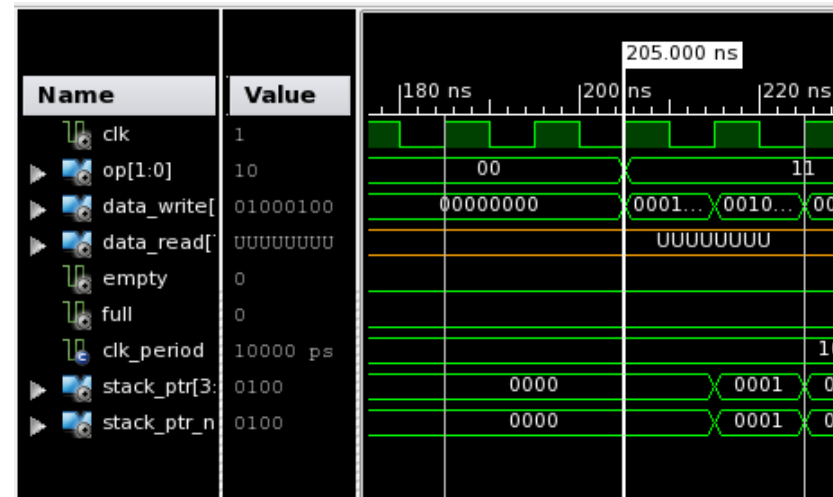
1. FPGA는 Hardware Description Language (HDL)으로 "코딩"

```
-- Define signals
signal phi_0    : signed( 9 downto 0) := (others=>'0');
signal phi_1    : signed( 9 downto 0) := (others=>'0');
signal phiAdd   : signed(10 downto 0) := (others=>'0');
signal phiAdd2  : signed(11 downto 0) := (others=>'0');
type S10D1Array is array(0 downto 0) of signed(9 downto 0);
signal phi_2_b : S10D1Array := (others=>(others=>'0'));

-- Sequential logic
phiAdd    <= resize(phi_0 ,11)+phi_1;
phiAdd2   <= resize(phiAdd,12)+phi_2_b(0);
phi_2_b(0) <= phi_2;
```

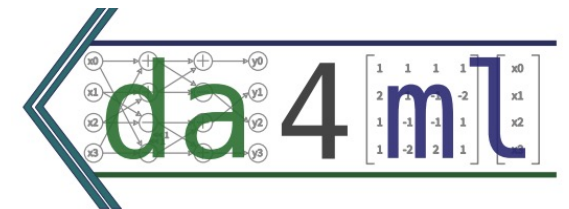
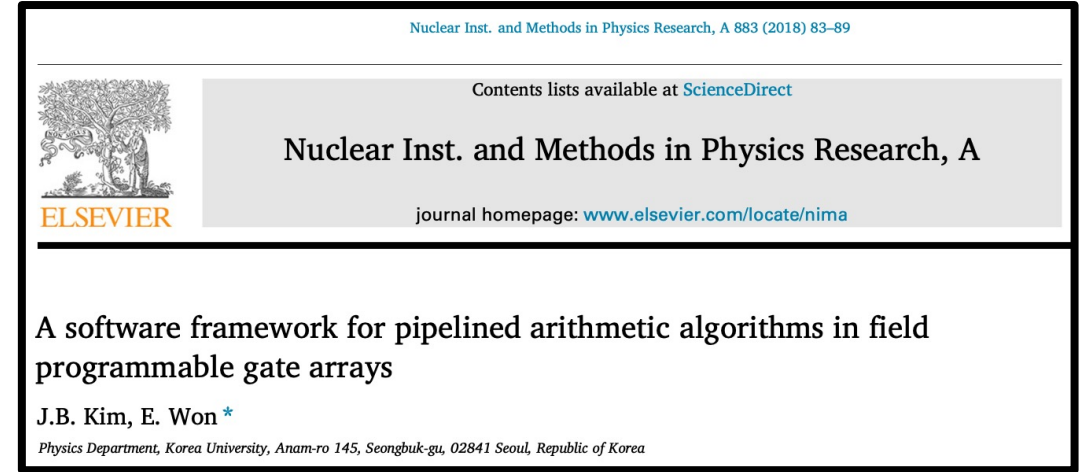
2. FPGA은 병렬 연산 때문에 timing을 고려

3. FPGA 자원의 제한



C++/Python을 HDL로 변환시키는 툴

- 다양한 변환 툴
- 기계학습/인공지능에 특화된 변환 툴
- 하지만 FPGA에 효율적인 구현이 안 될 때가 많다.



효율적인 알고리즘 구현의 어려움

- HL-LHC를 위해 CMS L1 운동량 불균형 트리거가 HLS을 이용해 개발



L1 MET optimization

Junhyeok Song
Korea Univ.
Jaebak Kim
Junwon Oh, Suyeon Park

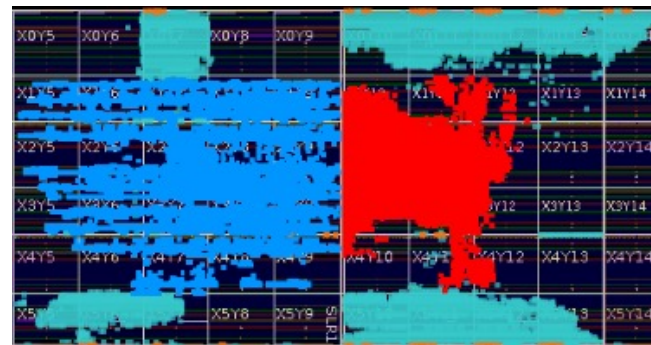


2026. 2. 5.

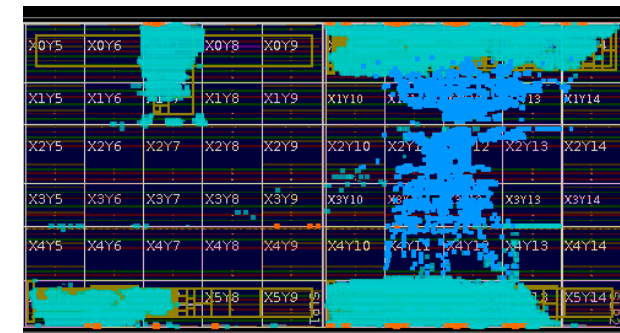
Junhyeok Song - Correlator met meeting

- 구현방법에 따라 큰 차이

- C++ 알고리즘 그대로 구현
- FPGA 고려한 알고리즘으로 구현



기존 C++
알고리즘



FPGA 고려한
알고리즘

1/5적은 자원으로 구현

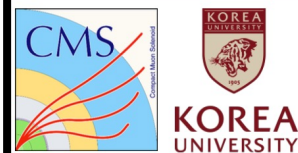
FPGA 고려한 인공지능 개발

- CMS L1 인공지능 운동량
불균형 트리거가 개발
(Deepset 모델)

- FPGA 고려한 새로운 구조가
개발
➤ 더 좋은 성능

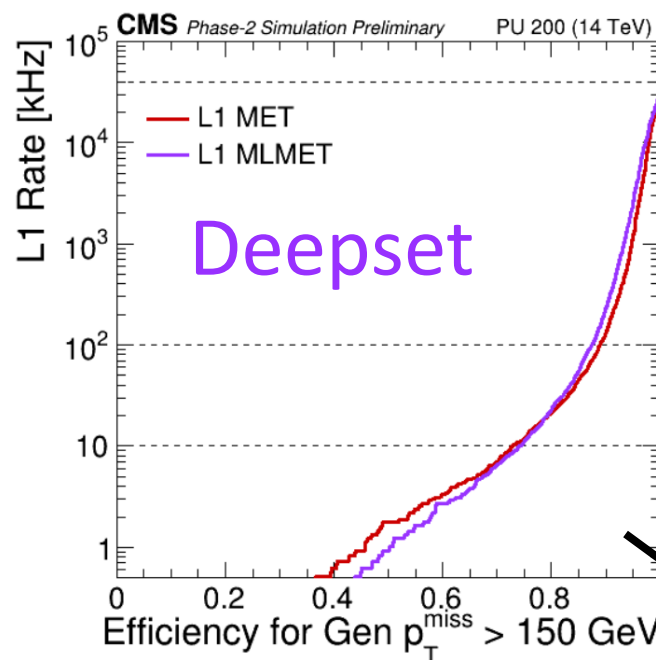
Current Status of Tiny Table MET (TTMET)

Junwon Oh

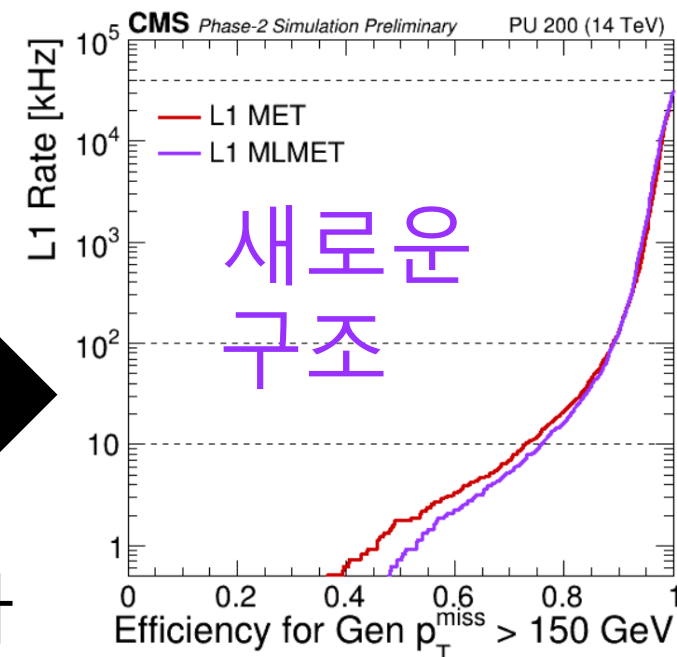


Junwon Oh, Correlator MET meeting

2026.01.27

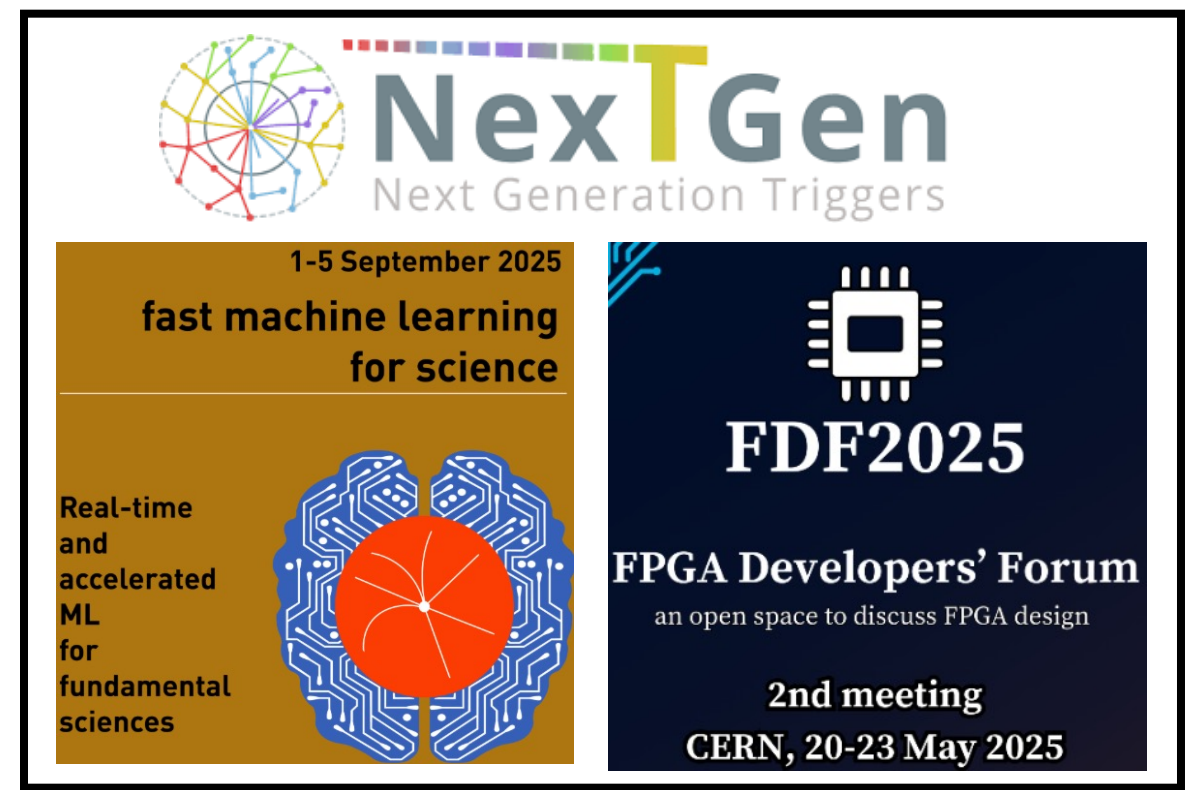


중 다



FPGA 단체 및 회의

- 국제적으로 다양한 연구 단체와 워크숍이 운영
- 작년에 여러 교수님들의 지원으로 한국에서 워크숍을 공동주최
 - 내용: 연구 발표 및 FPGA 교육



결론

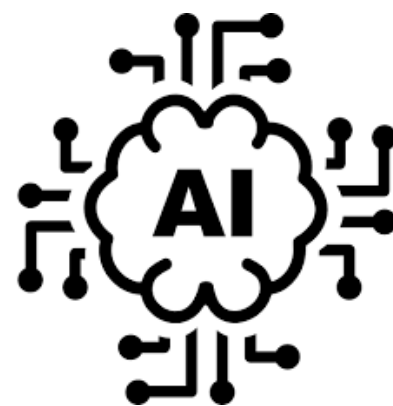
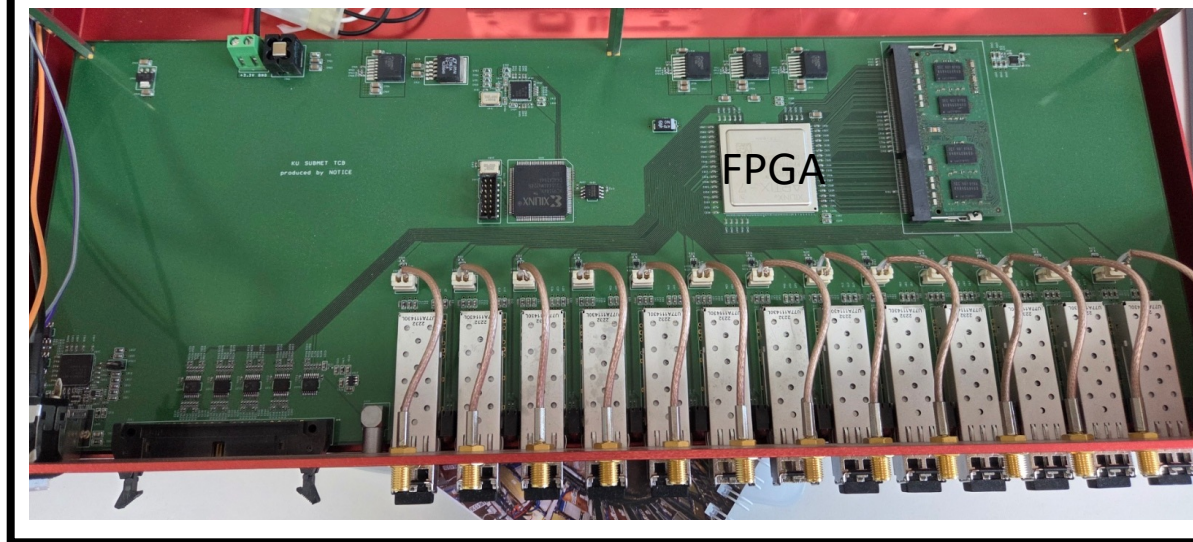
- FPGA는 입자물리학 실험의 트리거와 데이터 수집(DAQ)에 널리 사용

- 최근 동향

- 증가하는 기계학습/인공지능 사례
- AI engine/NPU의 활용 연구

- 국내 공동 연구와 전문성 공유 위해 워크숍 추진 예정

유재혁 교수님 SUBMET실험 트리거 보드



Versal Premium FPGA

